

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-092694

(43)Date of publication of application : 04.04.1997

(51)Int.Cl.

H01L 21/66
G01R 1/073
G01R 31/26

(21)Application number : 07-249531

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 27.09.1995

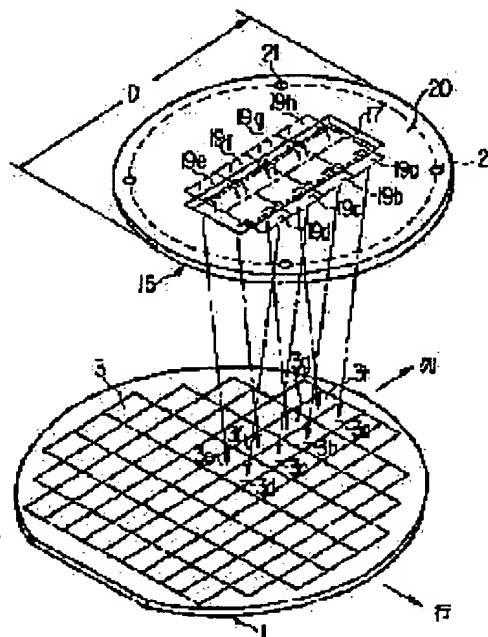
(72)Inventor : MOMOHARA TOMOYOSHI

(54) PROBE CARD AND PROBE TEST METHOD FOR SEMICONDUCTOR INTEGRATED CIRCUIT USING THE PROBE CARD

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a probe card and a method for probe test using the probe card wherein the productivity of semiconductor integrated circuits is improved and the cost of semiconductor integrated circuit manufacturing is reduced.

SOLUTION: The probe card 15 is for probe tests on semiconductor integrated circuits wherein test is performed on semiconductor integrated circuit chips formed in a matrix on a semiconductor wafer 1. The probe card has a group of probes 19a-19h corresponding to the external pads on chips 3a-3h on two rows and four columns. It receives test signals from a tester through a group of contactors 21, and supplied the chips 3a-3h on the two rows and four columns with the signals through the group of probes 19a-19h simultaneously. Further, it receives response signals from the chips 3a-3h on the two rows and four columns through the group of probes 19a-19h, and supplies the tester with the signals through the group of contactor 21.



LEGAL STATUS

[Date of request for examination] 17.11.1997

[Date of sending the examiner's decision of rejection] 31.08.1999

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3135825

[Date of registration] 01.12.2000

[Number of appeal against examiner's decision of 11-15451
rejection]

[Date of requesting appeal against examiner's 30.09.1999
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-92694

(43) 公開日 平成9年(1997)4月4日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/66			H 0 1 L 21/66	B
G 0 1 R 1/073			G 0 1 R 1/073	E
31/26			31/26	J

審査請求 未請求 請求項の数 5 O L (全 11 頁)

(21) 出願番号 特願平7-249531

(22) 出願日 平成7年(1995)9月27日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 桃原 朋美

神奈川県川崎市幸区堀川町72番地 株式会

社東芝堀川町工場内

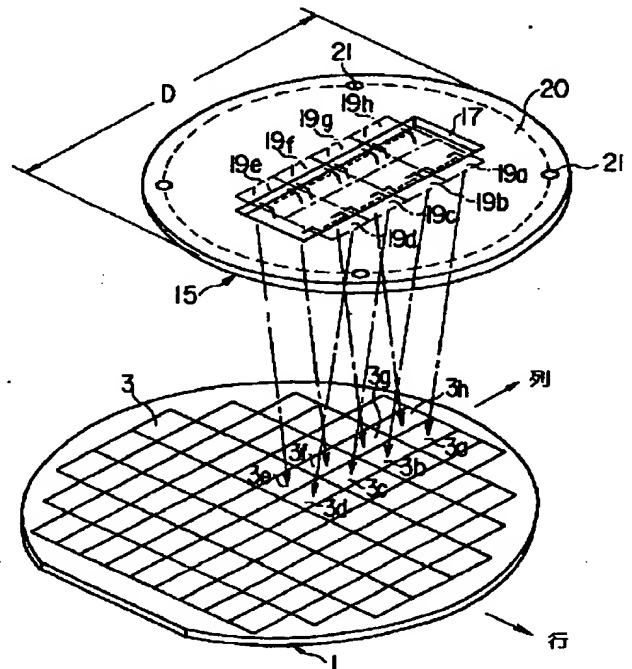
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 プローブカードおよびそのプローブカードを使用した半導体集積回路のプロービング試験方法

(57) 【要約】

【課題】この発明は、半導体集積回路の生産性を向上できると同時に、半導体集積回路の生産コストを抑制することができるプローブカードおよびそのプローブカードを使用したプロービング試験方法を提供しようとするものである。

【解決手段】半導体集積回路チップ3が半導体ウェーハ1に行列状に形成された状態で行う半導体集積回路のプロービング試験方法に使用されるプローブカード15であって、2列4行のチップ3a~3hの外部パッドに対応した探針群19a~19hを有し、テストからの試験信号を接触子群21に受け、探針群19a~19hを介して2列4行のチップ3a~3hへ同時に供給するとともに、2列4行のチップ3a~3hからの応答信号を探針群19a~19hに受け、接触子群21を介してテストに供給することを特徴としている。



3

ロービング試験を行うと、不良品の数が、若干ながらも増加する傾向があることが発覚した。この傾向を裏付けるために、チップを一つ一つ試験し直してみたところ、プローブカード5'が使用された試験では不良品とされていたチップの中にも、良品があることが判明した。

【0010】このような不良品の増加の原因は、現在、考えられるものを挙げるとするならば、次の通りである。同時測定では、同時測定される全てのチップからの応答信号を、プローブカードを介して同時にテストに伝える。テストは、応答されてきた信号のレベル、および
10 応答されてきた信号の立ち上がり立ち下がり時間をそれぞれ、ある許容範囲、もしくはある許容値と比較して、チップが良品であるか不良品であるかを判断する。

【0011】探針群9は、カードの縁に設けられた、プローブカードをテストに接触させるため接触子群11に、カードの内部に設けられた図示せぬ配線を介して接続されている。チップから応答されてきた信号のレベルは、テストに伝えられる以前にカード内の配線の抵抗によって当然に降下する。また、チップから応答されてきた信号の立ち上がり立ち下がり時間も、カード内の配線の容量によって当然に変化する。

【0012】1列当たりの対応チップの個数が増やされたプローブカードは、カード径Dが大きい。カード径Dが大きくなると、カードの中央付近の探針群9（図13では探針群9dおよび9e）と接触子群11とを接続するための配線の長さ、カードの端部付近にある探針群9（図13では探針群9aおよび9h）と接触子群11とを接続するための配線の長さとの差が大きくなっていく。最長の配線と最短の配線との差が大きくなると、配線群の抵抗および容量のばらつきが大きくなる。また、
20 配線長が長いと、微小な配線間クロストークが発生している確率も高い。

【0013】さらには、カード径Dが大きくなると、カード自体が反り易くなる。カード自体が反ると、プローブとチップパッドとの接触点、並びにプローブとテストとの接触点における接触抵抗値がそれぞればらつく。また、カード自体の反りは、カード内に設けられている配線群に応力を加えることにもなる。配線中、過剰な応力が加わった部分では、配線の電気的特性が局部的に変化することもある。

【0014】これらの問題のいずれか、あるいはこれらの問題が相乗効果を起こし、ロービング試験の精度を劣化させる。特に一つの許容範囲、もしくは一つの許容値と、多数の信号とを同時に比較する同時測定では、上記の問題のいずれもが、無用な不良品を発生させる原因になり得る。カード内に設けられている配線群の抵抗および容量のばらつき、接触抵抗値のばらつき、配線群の局部的な電気的特性の変化、微小な配線間クロストークのいずれもが、各チップ自身の、真の特性、あるいは真の能力を隠すからである。

4

【0015】なお、このようなロービング試験の精度の劣化は、大規模容量化された半導体メモリ装置で顕著である。この原因は、装置の動作が非常に高速であるために、信号の立ち上がり立ち下がり時間の許容値、もしくは許容範囲を厳しく設定していることである。大規模容量化された半導体メモリ装置は、現在ある半導体装置の中で最も繊細で敏感な装置の一つである。このため、僅かな誤差が、予期せぬ誤動作に発展する可能性を持つ。予期せぬ誤動作を防ぐためにも、ロービング試験には、厳しい条件を与える。厳しい条件で試験するために、上記カード内に設けられている配線群で起こる問題、たとえ僅かな問題であっても、良品、不良品の選別に、より大きく反映されていくのである。

【0016】

【発明が解決しようとする課題】以上のように、半導体集積回路の生産性を高めるためにも、ロービング試験時間は短縮させたい、という要求がある。この要求は、同時に測定できるチップの個数を増加させることで満たすことができた。

【0017】しかしながら、同時に測定できるチップの個数を増加させると、不良品が不必要に増加し、半導体集積回路の生産コストが上昇する、という問題が新たに発生した。

【0018】この発明は上記の点に鑑みて為されたもので、その目的は、半導体集積回路の生産性を向上できると同時に、半導体集積回路の生産コストを抑制することができるプローブカードと、そのプローブカードを使用した半導体集積回路のロービング試験方法とを提供することにある。

【0019】

【課題を解決するための手段】上記の目的を達成するために、この発明に係るプローブカードでは、半導体集積回路が半導体ウェーハに行列状に形成された状態で行う半導体集積回路のロービング試験方法に使用されるプローブカードであって、2列、かつ少なくとも2行以上の前記半導体集積回路の接続端子に対応した探針群を有し、テストからの試験信号を受け、前記試験信号を前記探針群を介して前記2列、かつ少なくとも2行以上の半導体集積回路へ同時に供給するとともに、前記2列、かつ少なくとも2行以上の半導体集積回路からの応答信号を前記探針群介して同時に受け、前記応答信号を前記テストに供給することを特徴としている。

【0020】

【発明の実施の形態】以下、この発明の実施の形態について説明する。この説明に際し、全ての図面において、同一の部分には同一の参照符号を付し、重複する説明は避けることにする。

【0021】図1は、この発明の第1の実施の形態に係るプローブカードと、そのプローブカードによって試験される半導体ウェーハとの関係を示した斜視図、図2
50

7

の、探針孔 17 の長軸方向に沿った中心線 30 がある。この中心線 30 を境にして、カード基板 20 の紙面右側の領域 33 R には、4 つの配線区域 35 a ~ 35 d が設定され、一方、カード基板 20 の紙面左側の領域 33 L には、他の 4 つの配線区域 35 e ~ 35 h が設定されている。配線区域 35 a には、チップ 3 a のパッドに対応した探針群 19 a (図 1、図 2 に図示、図 4 には図面が繁雑化するのを避けるために図示せず) と、チップ 3 a のパッドに対応した接触子群 21 a とを互いに接続する配線群 37 a が形成されている。以下同様に、配線区域 35 b には、図示せぬ探針群 19 b と接触子群 21 b とを互いに接続する配線群 37 b が形成され、…、配線区域 35 h には、図示せぬ探針群 19 h と接触子群 21 h とを互いに接続する配線群 37 h が形成されている。

【0035】このようなチップ 3 a ~ 3 d の列に対応する探針群 19 a ~ 19 d、接触子群 21 a ~ 21 d、および探針群 19 a ~ 19 d と接触子群 21 a ~ 21 d とを互いに接続する配線群 37 a ~ 37 d をそれぞれ探針孔 17 の長軸方向に沿った中心線 30 を境として 2 分割された一方の領域 33 R に設け、チップ 3 e ~ 3 h の列に対応する探針群 19 e ~ 19 h、接触子群 21 e ~ 21 h、および探針群 19 e ~ 19 h と接触子群 21 e ~ 21 h とを互いに接続する配線群 37 e ~ 37 h を 2 分割された他方の領域 33 L に設けたプローブカードであると、配線群 37 a ~ 37 h それぞれの長さを最短に設定することができる。配線群 37 a ~ 37 h それぞれの長さが最短に設定されることにより、特に配線群 37 の抵抗および容量のばらつき、および配線間クロストークなどをそれぞれ小さくすることができる。よって、より精度の高いプロービングテストが可能となる、多数個のチップ 3 a ~ 3 h を同時に測定に使用されるプローブカードを得ることができる。

【0036】次に、この発明の第 3 の実施の形態に係るプローブカードについて説明する。図 5 は、この発明の第 3 の実施の形態に係るプローブカードの平面図である。この第 3 の実施の形態は、第 1 の実施の形態に説明したようなプローブカード 15 において、配線間クロストークが、より減少されるように、カード基板 20 の構造を工夫したものである。

【0037】図 5 に示すように、カード基板 20 は、第 1 層 20-1、第 2 層 20-2、第 3 層 20-3、第 4 層 20-4、第 5 層 20-5、第 6 層 20-6、および第 7 層 20-7 の 7 層に分けられている。第 1 層カード基板 20-1 には接触子群 21 が設けられている。配線群 37 は、第 1 層カード基板 20-1 より下層のカード基板 20-2 ~ 20-7 それぞれに、信号の種類ごとおよび電源の種類ごとに分けられて設けられている。この形態に係るプローブカード 15 は、半導体メモリ装置をテストするときに使用される。このため、配線群 37 は、アドレス信号用配線群、データ信号用配線群、接地線 (VSS) 群、ロウア

8

ドレスストロブ信号、カラムアドレスストロブ信号などのコントロール信号用配線群、電源線 (VCC) 群、モニター用などのその他の配線群の 7 種類に分けられている。そして、アドレス信号用配線群は第 2 層カード基板 20-2 に、データ信号用配線群は第 3 層カード基板 20-3 に、接地線群は第 4 層カード基板 20-4 に、コントロール信号用配線群は第 5 層カード基板 20-5 に、電源線群は第 6 層カード基板 20-6 に、その他の配線群は第 7 層カード基板 20-7 にそれぞれ設けられている。カード基板 20-2 ~ 20-7 各層に形成された配線群 37 と、カード基板 20-1 に形成された接触子 21 とは、カード基板 20-1 ~ 20-7 に形成されたスルーホール 39 を介して互いに接続される。

【0038】このような配線群 37 を、カード基板 20 の内部で信号の種類および電源の種類ごとに階層分けしたプローブカードであると、配線間クロストークを、より効果的に減ずることができる。よって、さらに精度の高いプロービングテストが可能となる、多数個のチップ 3 a ~ 3 h を同時に測定に使用されるプローブカードを得ることができる。

【0039】なお、この第 3 の実施の形態に係るプローブカードは、第 2 の実施の形態に係るプローブカードと組み合わせることもできる。次に、この発明に係るプローブカードを使用したプロービング試験方法の例を、この発明の第 4、第 5、第 6 の実施の形態として説明する。

【0040】図 6 は、この発明の第 4 の実施の形態に係るプロービング試験方法の構成図である。この発明の第 4 の実施の形態は、第 1 の実施の形態で説明した同時測定より、同時に測定できるチップの個数を、さらに増加できる例である。

【0041】図 6 に示すように、一つのテスト装置 41 に、複数のテストステーション 43 (43-1 ~ 43-4) を設け、各テストステーション 43 に一つずつ、プローブカード 15 (15-1 ~ 15-4) を取り付ける。そして、複数のウェーハ 1 (1-1 ~ 1-4) を、テスト装置 41 により、テストステーション 43 およびプローブカード 15 を介して同時に測定する。

【0042】このようなプロービング試験方法であると、1 枚のプローブカード 15 で同時に測定できるチップの数を L、テストステーション 43 の数を M としたとき、 $L \times M$ 個のチップを同時に測定できる。よって、測定の精度の高いプロービングテストを、より多くのチップで同時に行うことができる。

【0043】図 6 に示される例では、上記チップの数 L が 8、上記テストステーション 43 の数 M が 4 であるので、32 個のチップを、同時に測定することができる。しかも、第 1 の実施の形態、あるいは第 2 の実施の形態、あるいは第 3 の実施の形態、あるいは第 2 と第 3 の実施の形態とを組み合わせたプローブカードを使用して

11

【0058】なお、センターパッド型のチップは、例えば大規模容量の半導体メモリ装置に、使われることが多い。また、図10に示すように、パッド31は、厳密に一行に配置されている必要はなく、千鳥型に配置されていても良い。

【0059】次に、この発明に係るプローブカードの変形した形を、この発明の第8の実施の形態として説明する。図11は、この発明の第8の実施の形態に係るプローブカードの平面図である。

【0060】第1の実施の形態で説明したプローブカード15では、2列4行、合計8個のチップを同時に測定可能なものであった。この第6の実施の形態で説明したプローブカード15では、図9に示すように、2列8行、合計16個のチップを同時に測定可能とするものである。

【0061】8行を同時に測定するプローブカードでは、カード径Dが増加し、図13に示されたプローブカード5'を使用した同時測定と同様な問題が生ずる。しかし、8行を同時に測定するプローブカードの精度が、今後のプローブカード技術の進展により、現在の4行を同時に測定するプローブカードと同程度の精度まで向上された場合には、図11に示すように、この発明に係るプローブカードは、2列8行、合計16個のチップを同時に測定可能とするように改良されても良い。この場合の効果は、第1の実施の形態と同様に、16個のチップを同時に測定可能とするために、1列16行とされたプローブカードよりも、カード径Dを小さくでき、半導体集積回路の生産性の向上と、半導体集積回路の生産コストの抑制を同時に達成できることである。

【0062】このように、この発明に係るプローブカードは、2列4行に限られるものではなく、プローブカード技術の進展に応じて、行数を順次増加させることが可能である。

【0063】また、図1、図4、図5、および図11に示された、この発明の実施の形態に係るプローブカード15では、接触子21が外周一列とされているが、接触子21の数が増加し、外周一列では配置しきれなくなってきたときには、接触子21を、例えば同心円状に複数列設けるようにしても良い。

【0064】

【発明の効果】以上説明したように、この発明によれ

12

ば、半導体集積回路の生産性を向上できると同時に、半導体集積回路の生産コストを抑制することができるプローブカードと、そのプローブカードを使用した半導体集積回路のプロービング試験方法とを提供できる。

【図面の簡単な説明】

【図1】図1はこの発明の第1の実施の形態に係るプローブカードを示した斜視図。

【図2】図2は図1に示したプローブカードの探針孔付近の拡大図。

【図3】図3(a)は従来のプロービング試験の結果を示す図、図3(b)はこの発明によるプロービング試験の結果を示す図。

【図4】図4はこの発明の第2の実施の形態に係るプローブカードの平面図。

【図5】図5はこの発明の第3の実施の形態に係るプローブカードの斜視図。

【図6】図6はこの発明の第4の実施の形態に係るプロービング試験方法の構成図。

【図7】図7はこの発明の第5の実施の形態に係るプロービング試験方法の構成図。

【図8】図8はこの発明の第6の実施の形態に係るプロービング試験方法の構成図。

【図9】図9はこの発明の第7の実施の形態に係る探針群とチップのパッドとの対応関係を示す図。

【図10】図10はこの発明の第7の実施の形態に係る探針群とチップのパッドとの対応関係の他の例を示す図。

【図11】図11はこの発明の第8の実施の形態に係るプローブカードの斜視図。

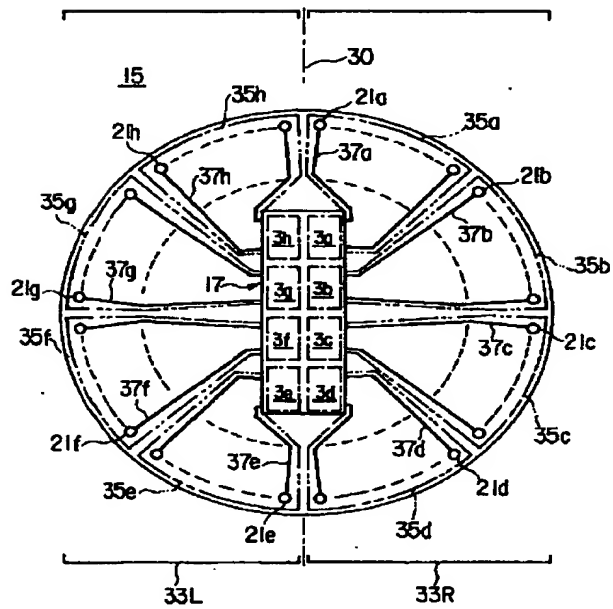
【図12】図12は従来のプローブカードを示した斜視図。

【図13】図13は従来の他のプローブカードを示した斜視図。

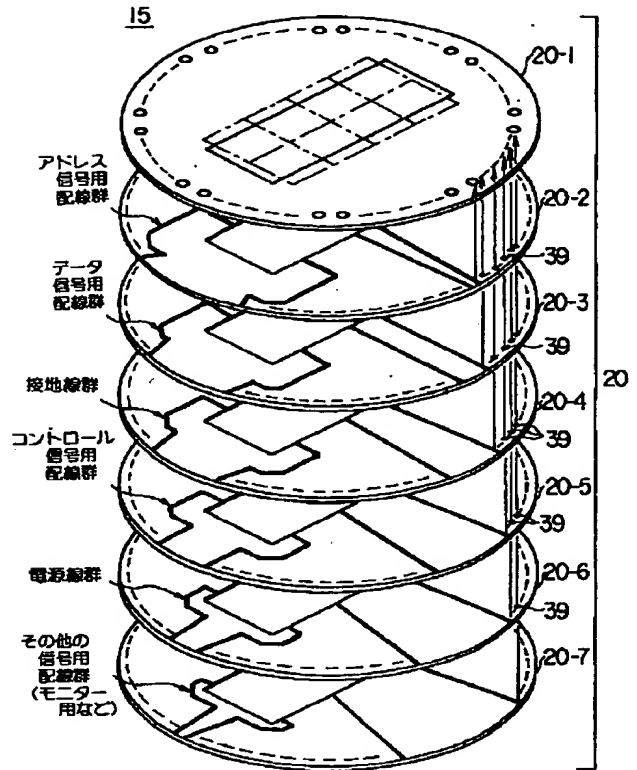
【符号の説明】

1、1-1~1-4…半導体ウェーハ、3、3a~3h…半導体集積回路チップ、15、15-1~15-4…プローブカード、17…探針孔、19、19a~19h…探針群、20、20-1~20-7…カード基板、21、21a~21h…接触子群、31…外部パッド群、35a~35h…配線区域、37a~37h…配線群、41…テスト装置、43、43-1~43-4…テストステーション。

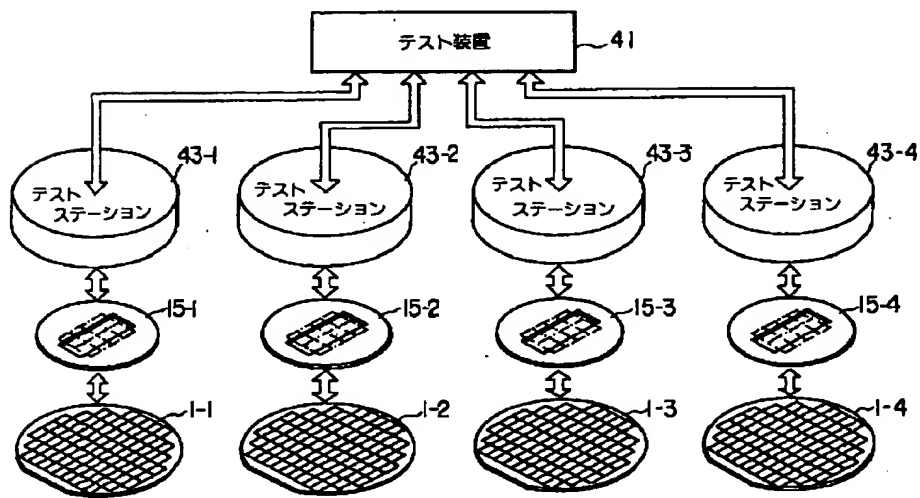
【図 4】



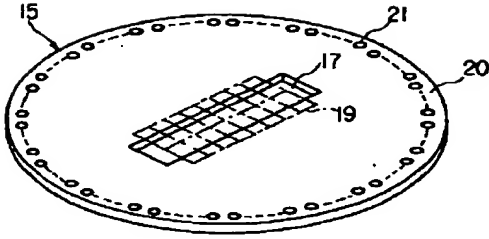
【図 5】



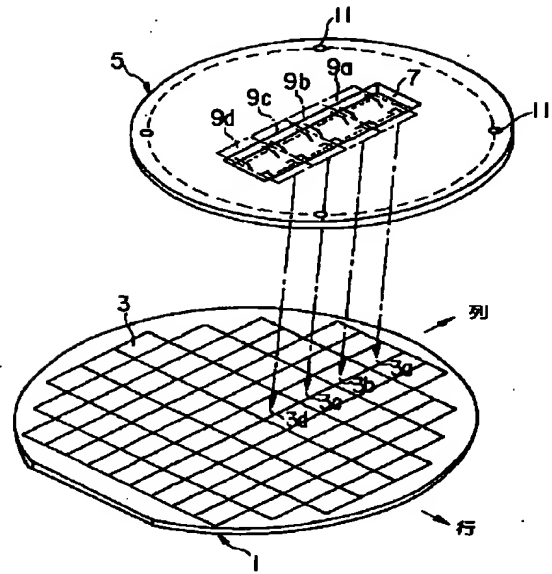
【図 6】



【図 1 1】



【図 1 2】



【図 1 3】

